

DIALOG(R)File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

015896920 **Image available**
WPI Acc No: 2004-054759/200406
XRAM Acc No: C04-022262
XRPX Acc No: N04-044317

Process for applying a semiconductor chip on a thermal and/or electrically conducting connecting part arranged in or on a plastic housing body comprises using a soft soldering process
Patent Assignee: OSRAM OPTO SEMICONDUCTORS GMBH & CO OHG (SIEI); BOGNER G (BOGN-I); HIEGLER M (HIEG-I); WAITL G (WAIT-I); WINTER M (WINT-I)
Inventor: BOGNER G; HIEGLER M; WAITL G; WINTER M
Number of Countries: 031 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 10221857	A1	20031127	DE 10221857	A	20020516	200406 B
WO 200398706	A2	20031127	WO 2003DE1557	A	20030514	200406
EP 1504476	A2	20050209	EP 2003740003	A	20030514	200512
			WO 2003DE1557	A	20030514	
JP 2005526402	W	20050902	WO 2003DE1557	A	20030514	200559
			JP 2004506099	A	20030514	
US 20050214968	A1	20050929	WO 2003DE1557	A	20040514	200564
			US 2005514461	A	20050520	
TW 200401422	A	20040116	TW 2003113060	A	20030514	200567

Priority Applications (No Type Date): DE 10221857 A 20020516

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
DE 10221857	A1	8		H01L-021/58	
WO 200398706	A2	G		H01L-033/00	
				Designated States (National):	CN JP US
				Designated States (Regional):	AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL PT RO SE SI SK TR
EP 1504476	A2	G		H01L-033/00	Based on patent WO 200398706
				Designated States (Regional):	AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LI LU MC NL PT RO SE SI SK TR
JP 2005526402	W	18		H01L-033/00	Based on patent WO 200398706
US 20050214968	A1			H01L-021/50	
TW 200401422	A			H01L-023/488	

Abstract (Basic): DE 10221857 A1

NOVELTY - Process for applying a semiconductor chip (9) on a thermal and/or electrically conducting connecting part (12) arranged in or on a plastic housing body (5) comprises using a soft soldering process.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following:

- (1) Optoelectronic semiconductor component; and
- (2) Process for the production of the optoelectronic semiconductor component.

USE - Used in the production of an optoelectronic semiconductor component.

ADVANTAGE - Damage to the plastic housing body is avoided.

DESCRIPTION OF DRAWING(S) - The drawing shows a cross-section through an optoelectronic semiconductor component.

solder layer (3)
epitaxial layer (4)
plastic housing body (5)
semiconductor chip (9)
connecting part (12)
pp; 8 DwgNo 2/7

Technology Focus:

TECHNOLOGY FOCUS - ELECTRONICS - Preferred Features: The plastic housing body is produced by deforming. The connecting part is a component of a leadframe or is a metallization layer applied on a plastic housing body. A solder layer (3) having a thickness of 1-10 mum is arranged between the semiconductor chip and the connecting part.

METALLURGY - Preferred Layer: The solder layer is made from AgSn, CuSn, PbSn and/or InPb.

Title Terms: PROCESS; APPLY; SEMICONDUCTOR; CHIP; THERMAL; ELECTRIC; CONDUCTING; CONNECT; PART; ARRANGE; PLASTIC; HOUSING; BODY; COMPRISE; SOFT; SOLDER; PROCESS

Derwent Class: A85; L03; U11

International Patent Class (Main): H01L-021/50; H01L-021/58; H01L-023/488; H01L-033/00

International Patent Class (Additional): H01L-021/52; H01L-021/60; H01L-023/08

File Segment: CPI; EPI

Manual Codes (CPI/A-N): A12-E07C; L04-C17A; L04-E03

Manual Codes (EPI/S-X): U11-D01C1; U11-E02A1; U11-E02A9

Polymer Indexing (PS):

<01>

001 2004; P0000

002 2004; ND01; Q9999 Q7476 Q7330; K9483-R; N9999 N5721-R; N9999

N6097-R

?



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 **Offenlegungsschrift**
10 **DE 102 21 857 A 1**

51 Int. Cl.⁷:
H 01 L 21/58
H 01 L 33/00
H 01 L 21/60

21 Aktenzeichen: 102 21 857.9
22 Anmeldetag: 16. 5. 2002
43 Offenlegungstag: 27. 11. 2003

DE 102 21 857 A 1

71 Anmelder:
OSRAM Opto Semiconductors GmbH, 93049
Regensburg, DE
74 Vertreter:
Epping Hermann Fischer,
Patentanwalts-gesellschaft mbH, 80339 München

72 Erfinder:
Winter, Matthias, 93059 Regensburg, DE; Waitl,
Günter, 93049 Regensburg, DE; Hiegler, Michael,
93049 Regensburg, DE; Bogner, Georg, 93138
Lappersdorf, DE

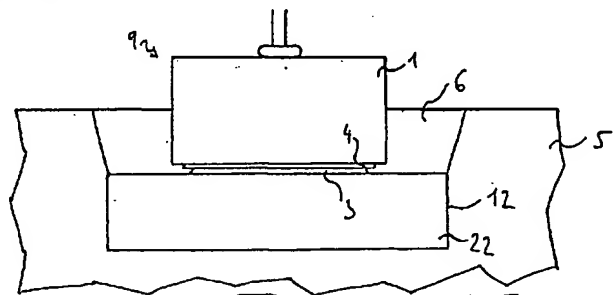
56 Entgegenhaltungen:
DE 41 35 189 A1
US 63 72 551 B1
US 62 20 764 B1
US 48 58 073
US 43 39 768
EP 04 01 017 A2
JP 58-64 052 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren zum Befestigen eines Halbleiterchips in einem Kunststoffgehäusekörper, optoelektronisches Halbleiterbauelement und Verfahren zu dessen Herstellung

57 Ein Strahlung aussendender oder empfangender Halbleiterchip 9 wird zum Montieren auf einen Leadframe 2, der mit einem vorgefertigten Kunststoffgehäusekörper 5, einem sogenannten premolded package, umspritzt ist, weichgelötet. Durch die Verwendung eines niedrig schmelzenden Lots 3, das in einer Schichtdicke kleiner als 10 µm aufgebracht wird, läßt sich der Lötvorgang weitestgehend ohne thermische Schädigung des Kunststoffgehäusekörpers 5 durchführen.



DE 102 21 857 A 1

[0001] Die Erfindung betrifft ein Verfahren gemäß dem Oberbegriff des Patentanspruches 1 und ein optoelektronisches Halbleiterbauelement gemäß dem Oberbegriff des Patentanspruches 16. Weiterhin betrifft sie ein Verfahren zum Herstellen eines solchen optoelektronischen Halbleiterbauelements.

[0002] Strahlung aussendende und/oder empfangende Halbleiterchips werden auf sogenannten vorgehäuteten Leadframes, bei denen ein Chipmontagebereich mit einem Kunststoffgehäusekörper umformt ist (sogenannte premolded packages), herkömmlicherweise mittels eines Klebprozesses befestigt.

[0003] Bei den genannten Gehäusebauformen werden die Halbleiterchips durch Kleben auf den Leadframe aufgebracht, weil dadurch hohe Temperaturen, wie sie bei Lötprozessen notwendig sind und die das Kunststoffgehäuse schädigen könnten, vermieden werden.

[0004] Wegen der insbesondere für Bauelemente mit hoher elektrischer Leistung erforderlichen sehr guten elektrischen und thermischen Leitfähigkeit des Halbleiterchips mit dem Leadframe wäre eine metallische Verbindung zwischen Chip und Anschlußteil gegenüber einer Klebverbindung zu bevorzugen. Vor allem im Bereich der Hochleistungsleuchtdioden ist eine sehr gute Wärmeanpassung entscheidend, um die eingebrachte Verlustleistung aus dem Gehäuse abzuführen und gegebenenfalls an externe Wärmesenken anzukoppeln. Aus den vorgenannten Gründen der Gefahr einer Gehäuseschädigung wurde bislang von einer Lötverbindung zwischen Leuchtdioden-(LED-)Chip und Leadframe in vorgeschätzten Kunststoffgehäusekörpern abgesehen.

[0005] Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein Verfahren der eingangs genannten Art zu entwickeln, bei dem ein Halbleiterchip mittels einer metallischen Verbindung zwischen Chip und Anschlußteil in einem Kunststoffgehäusekörper befestigt werden kann und gleichzeitig die Gefahr einer Beeinträchtigung der Funktionsfähigkeit des Kunststoffgehäusekörpers reduziert ist. Ferner soll ein entsprechendes optoelektronisches Bauelement und ein Verfahren zu dessen Herstellung zur Verfügung gestellt werden.

[0006] Diese Aufgaben werden durch ein Verfahren mit den Merkmalen des Patentanspruches 1, durch ein optoelektronisches Bauelement mit den Merkmalen des Patentanspruches 16, bzw. durch ein Verfahren mit den Merkmalen des Patentanspruches 30 gelöst.

[0007] Durch Verwendung geringer Mengen eines niedrig schmelzenden Lotes wird ein zu starkes Aufheizen der Metallteile, mit denen die Vergußmasse in Kontakt ist, vermieden. Vorzugsweise wird eine Lotschicht verwendet, mit der bei Temperaturen zwischen 200 und 260°C gelötet werden kann. Durch den Einsatz von Weichloten wird zugleich im Gegensatz zur Verwendung von Hartloten eine Verspannung des gelöteten Chips, die zur Chipschädigung führen kann, weitgehend vermieden.

[0008] Als niedrig schmelzendes Weichlot können Zinn, eine Legierung, deren Hauptbestandteil Zinn ist, oder ein Eutektikum aufweisende Legierungen, wie AgSn, CuSn, PbSn oder InPb oder eine Mischung aus diesen Legierungen eingesetzt werden. Wird als Lot eine Legierung eingesetzt, ist es vorteilhaft, die Zusammensetzung der Legierung so zu wählen, daß sie weitestgehend am Eutektikum des jeweiligen Zwei- oder Mehrstoffsystems liegt, sodaß ein möglichst niedriger Schmelzpunkt der Legierung vorliegt.

[0009] Vorteilhaft ist das gezielte Abscheiden einer dünnen Schicht auf die zu verlötenden Stellen mit einer Dicke zwischen 1 und 10 µm. Besonders vorteilhaft ist das Ab-

scheiden einer Schicht mit einer Dicke zwischen 2 und 5 µm. So kann ein Benetzen der Seitenflächen des LED-Chips an der dem Leadframe zugewandten Seite, das bei Flip-Chip-Montage (siehe unten) sehr leicht zu einem Kurzschluß der aktiven Epitaxieschichtenfolge führen würde, verhindert werden.

[0010] Die dünnen Lotschichten können vorzugsweise durch herkömmliche Verfahren, wie Bedampfen, Sputtern, etc. aufgebracht werden.

[0011] Wird das Lot auf den Leadframe aufgebracht, geschieht dies vorzugsweise vor dem Umformen des Leadframes mit dem Kunststoffgehäusekörper.

[0012] Besonders vorteilhaft ist das mehrfache abwechselnde Abscheiden von dünnen Schichten der Einzelkomponenten einer Legierung. Die Gesamtdicke des Schichtenpakets liegt in diesem Fall wiederum vorteilhafterweise zwischen 1 und 10 µm bzw. zwischen 2 und 5 µm.

[0013] Die Metalle der dünnen Schichten vermischen sich aufgrund der jeweils kurzen Diffusionsstrecken zur Nachbarschicht während des Lötprozesses. Das schnelle Aufschmelzen des Lotes und somit das schnelle Verlöten von Chip und Anschlußteil haben vorteilhafterweise den Effekt, daß der Kunststoffgehäusekörper des premolded package nur kurz einer erhöhten Temperatur ausgesetzt werden muß und somit in seiner Funktionsfähigkeit weitestgehend nicht beeinträchtigt wird.

[0014] Durch die kurze Lötzeit bei gleichzeitig niedrigen Temperaturen des Lötprozesses ist es folglich möglich, LED-Chips auf Leadframes in premolded packages zu verlöten, d. h. mit metallischen Verbindungen zwischen Chip und Anschlußteil zu versehen.

[0015] Um beim Aufheizen des Lotes die Bildung einer Oxidschicht auf dem Lot oder einer der zu verlötenden Oberflächen zu verhindern, ist es nach dem Aufbringen des Lotes auf einer zu verlötenden Oberfläche vorteilhaft, eine dünne Goldschicht auf dem Lot und/oder auf der zu verlötenden Chipoberfläche bzw. der zu verlötenden Leadframe-Oberfläche aufzubringen.

[0016] Niedrige Verarbeitungstemperaturen erlauben ein weitgehend verspannungsfreies Verlöten des Chips.

[0017] Durch das geringe Lotvolumen besteht insbesondere die Möglichkeit, Chips mit der aktiven Epitaxieschichtenfolge dem Anschlußteil zugewandt zu löten. Diese sogenannte "Flip-Chip"-Anordnung, auch "face-down"- oder "top-down"-Montage genannt, läßt sich nur aufgrund der sehr kleinen Lotvolumina gemäß der erfindungsgemäßen technischen Lehre realisieren.

[0018] Ein Benetzen der Seitenwände des Chips tritt ebenso bei herkömmlichen Klebprozessen auf. Dies ist der Grund, warum es schwierig ist, einen Chip mit Hilfe eines Klebverfahrens in Flip-Chip-Montage auf einen Leadframe oder ein anderes elektrisch leitendes Anschlußteil aufzubringen.

[0019] Speziell bei der Verwendung von herkömmlichen mit Silberpartikeln gefüllten Leitklebstoffen tritt außerdem das Problem auf, daß Silberpartikel bei Feuchtigkeit in einem elektrischen Feld relativ stark wandern. Dies ist vor allem bei Infrarot-Sensoren und -Strahlern, zu deren Betrieb hohe Spannungen nötig sind, der Fall. Um diesem Problem zu begegnen, werden in diesen Fällen herkömmlicherweise als leitfähiger Füllstoff häufig Goldpartikel eingesetzt.

[0020] Der Einsatz von Weichlot ist im Gegensatz dazu weitaus kostengünstiger.

[0021] Vorteilhafte Weiterbildungen und Ausführungsformen des erfindungsgemäßen Verfahrens und des optoelektronischen Bauelements sind in den Unteransprüchen genannt.

[0022] Weitere Vorteile und bevorzugte Ausführungen des

erfindungsgemäßen Verfahrens und des optoelektronischen Bauelements ergeben sich aus den im folgenden in Verbindung mit den Fig. 1 bis 8 näher erläuterten Ausführungsbeispielen.

[0023] Es zeigen:

[0024] Fig. 1 eine schematische Darstellung eines optoelektronischen Bauelements mit einem nach dem erfindungsgemäßen Verfahren montierten Chip,

[0025] Fig. 2 eine schematische Darstellung eines optoelektronischen Bauelements mit einem nach dem erfindungsgemäßen Verfahren Flip-Chip-montierten Chip,

[0026] Fig. 3 eine schematische Darstellung eines optoelektronischen Bauelements mit einem nach einem herkömmlichen Klebverfahren Flip-Chip-montierten Chip,

[0027] Fig. 4 eine schematische Darstellung einer nach einem erfindungsgemäßen Verfahren vorbereiteten Lötstelle,

[0028] Fig. 5 ein Fließschema zum Montageablauf eines ersten Ausführungsbeispiels des erfindungsgemäßen Verfahrens,

[0029] Fig. 6 ein Fließschema zum Montageablauf eines zweiten Ausführungsbeispiels des erfindungsgemäßen Verfahrens,

[0030] Fig. 7 ein Fließschema zum Montageablauf eines dritten Ausführungsbeispiels des erfindungsgemäßen Verfahrens, und

[0031] Fig. 8 ein Fließschema zum Montageablauf eines vierten Ausführungsbeispiels des erfindungsgemäßen Verfahrens.

[0032] Das Ausführungsbeispiel gemäß Fig. 1 weist einen mit einem Kunststoffgehäusekörper 5 umpreßten oder umspritzten Leadframe 2 auf (premolded package). In einer Aussparung 6 dieses Kunststoffgehäusekörpers 5, die von außerhalb des Gehäusegrundkörpers zum Leadframe 2 führt, ist ein LED-Chip 9 auf einem Anschlußteil 12 des metallischen Leadframes 2 mittels eines Weichlotes befestigt.

[0033] Anstelle des Leadframes kann alternativ auch eine auf dem Kunststoffgehäusekörper 5 aufgebrachte Metallisierungsschicht 22 vorgesehen sein, die einen Anschlußteil 12 aufweist. Als weitere Alternative kann ein in den Kunststoffgehäusekörper eingebetteter Kühlkörper als Anschlußteil dienen. Eine Lotschicht 3 zwischen dem LED-Chip 9 und dem Anschlußteil 12 weist vorzugsweise eine Dicke zwischen 1 und 10 µm auf. Besonders bevorzugt weist die Lotschicht eine Dicke zwischen 2 und 5 µm auf. Das Weichlot in diesem Ausführungsbeispiel besteht im wesentlichen aus reinem Zinn oder aus einer Legierung, deren Hauptbestandteil Zinn ist. Als Lotmaterial zum Weichlöten kann beispielsweise auch eine Legierung, deren Stoffsystem ein Eutektikum aufweist, verwendet sein. Hierfür kommt AgSn, CuSn, PbSn oder InPb oder ein Gemisch oder eine Schichtenfolge aus mindestens zwei dieser Legierungen in Frage.

[0034] Das in Fig. 2 gezeigte zweite Ausführungsbeispiel unterscheidet sich von dem gerade beschriebenen Ausführungsbeispiel darin, daß der LED-Chip 9 in Flip-Chip-Montage (siehe oben) auf einem Anschlußteil mittels eines Weichlotes befestigt ist. Das Anschlußteil ist in diesem Fall eine auf den Gehäusegrundkörper 5 aufgedampfte Metallisierungsschicht 22, kann aber auch wie im erstgenannten Fall Teil eines Leadframes sein. Aufgrund der geringen Lotdicke wird das Lot nicht unter dem Chip 9 hervorgedrückt. Die Gefahr eines Kurzschlusses der Epitaxieschichtenfolge ist stark verringert.

[0035] Werden dagegen Lotschichten 3 mit sehr großen Dicken aufgebracht, besteht, wie in Fig. 3 veranschaulicht, die Gefahr, daß das Lot unter dem auf den Leadframe 2 aufgesetzten Chip 9 hervorgedrückt wird. Dieses Lot benetzt das Anschlußteil und die Seitenwände des Chips 9. Ist der Chip 9 als Flip-Chip mit der aktiven Seite 4 zum Leadframe

2 hin angeordnet, bewirkt das einen Meniskus 13 ausbildende Lot einen elektrischen Kurzschluß vom Anschlußteil 12 zum Chipsubstrat 1 des Chips 9 an der aktiven Epitaxieschichtenfolge 4 vorbei.

[0036] Fig. 4 zeigt eine besonders vorteilhafte Möglichkeit für die Anordnung einer Lotschicht (3), die beim Lötprozeß eine Legierung bildet, deren Stoffsystem ein Eutektikum aufweist. Dünne Schichten (23, 33) der Einzelkomponenten der Legierung sind abwechselnd zwischen Chip und Anschlußteil angeordnet. Die Schichten (23) bestehen beispielsweise aus Zinn und die Schichten (33) aus Silber.

[0037] Durch die kurzen Diffusionsstrecken zur jeweiligen Nachbarschicht vermischen sich die einzelnen Metalle während des Lötprozesses untereinander und bilden eine Legierung.

[0038] Bei dem in Fig. 5 schematisch dargestellten Ausführungsbeispiel handelt es sich um einen Montageablauf zum Weichlöten eines LED-Chips in einem premolded package, wie es beispielsweise im Ausführungsbeispiel gemäß Fig. 1 beschrieben ist. Es wird eine Lotschicht (beispielsweise mit einer Dicke von 2 bis 5 µm), die im wesentlichen aus Zinn oder einer Legierung besteht, deren Hauptbestandteil Zinn ist, auf ein Anschlußteil aufgebracht. Das Anschlußteil kann beispielsweise ein Leadframe, ein in den Kunststoffgehäusekörper eingebetteter Kühlkörper oder eine auf einen Kunststoffgehäusekörper aufgebrachte Metallisierungsschicht sein. Nachfolgend wird auf das Lot Flußmittel gegeben und darauf der Chip plziert. Danach durchläuft das premolded package bevorzugt bei 200 bis 260°C einen Lötöfen, in dem die Lötverbindung hergestellt wird. Nachfolgend durchläuft das premolded package eine Wascheinheit, in der die Rückstände, die vor allem durch das Flußmittel hervorgerufen werden, abgespült werden.

[0039] Das Flußmittel ist nötig, um die sich im Durchlauföfen bildende Oxidschicht auf Lot und Chip zu entfernen, bzw. um die Entstehung einer Oxidschicht zu verhindern. Um die Bildung einer Oxidschicht auf dem Lot zu verhindern, die die Qualität der Lotverbindung stark verringern würde, kann auch vor dem Lötvorgang ein Goldfilm auf das Lot abgeschieden werden.

[0040] Alternativ zur oben beschriebenen Verfahrensweise kann die Lotschicht vor dem Herstellen des Kunststoffgehäusekörpers auf den Leadframe aufgebracht werden.

[0041] Der Prozeß gemäß dem zweiten Ausführungsbeispiel, der in Fig. 6 schematisch dargestellt ist, unterscheidet sich von dem vorstehend beschriebenen Ausführungsbeispiel im wesentlichen dadurch, daß Lot in Form einer Lotpaste verwendet wird. Die Lotpaste kann nur auf dem Anschlußteil oder nur auf dem Halbleiterchip oder sowohl auf dem Anschlußteil als auch auf dem Halbleiterchip aufgebracht werden. Ein LED-Chip wird auf die mit Lotpaste vorbereitete Stelle des Anschlußteils innerhalb eines premolded package plziert, bevor das Band den Lötöfen durchläuft. Um die in der Lotpaste enthaltenen Chemikalien, wie Flußmittel, zu beseitigen, ist auch in diesem Ausführungsbeispiel dem Lötöfen eine Wascheinheit nachgeschaltet.

[0043] Bei dem Verfahren gemäß dem Ausführungsbeispiel von Fig. 7 wird das Lot auf die Rückseite eines LED-Chips durch Bedampfen aufgebracht. Es wird als Lotmaterial eine Legierung verwendet, deren Stoffsystem ein Eutektikum aufweist. Diese Legierung kann AgSn, CuSn, PbSn, InPb oder ein Gemisch aus mindestens zwei dieser Legierungen sein. Es ist auch möglich, eine Schichtenfolge einzelner Legierungen oder einzelner, diese Legierungen bildenden Einzelmetalle zu verwenden. Der Chip wird auf einem Leadframe innerhalb eines premolded package plziert.

Im Gegensatz zu den vorhergehenden Ausführungsbeispielen werden Leadframe und Chip durch einen unter dem Leadframe befindlichen Heitzisch aufgeheizt, um das Weichlot zum Schmelzen zu bringen.

[0044] Hier wird ohne Verwendung eines Flußmittels gelötet. Daher ist dem Lötöfen keine Wascheinheit nachgeschaltet. Man erhält dadurch das gelötete Halbleiterbauelement 7 weitestgehend ohne Verunreinigungen auf besonders schonende Weise.

[0045] Bei dem Verfahren gemäß dem Ausführungsbeispiel von Fig. 8 wird wie im vorhergehend beschriebenen Ausführungsbeispiel ein mit Lot bedampfter LED-Chip auf dem Leadframe innerhalb eines premolded package platziert. Die Lotschicht weist nach dem Bedampfen eine Dicke zwischen 1 und 10 µm, bevorzugt zwischen 1 und 5 µm auf. Der Kunststoffgehäusekörper kann durch Umspritzen oder Umpressen oder ein anderes Formgebungsverfahren an dem Leadframe hergestellt sein. In diesem Ausführungsbeispiel wird auf der zu löten Stelle auf dem Leadframe vorab Flußmittel aufgebracht. Das Band durchläuft einen Lötöfen und nachfolgend eine Wascheinheit. Nach dem Lötvorgang beträgt die Dicke der Lotschicht zwischen 0,1 und 10 µm, bevorzugt zwischen 0,1 und 5 µm.

[0046] Bei sämtlichen Ausführungsbeispielen für das erfindungsgemäße Verfahren kann der LED-Chip auch in Flip-Chip-Montage auf dem Anschlußteil befestigt werden. Das Aufdampfen von Lot auf den LED-Chip muß dann selbstverständlich nicht auf die Chiprückseite erfolgen, sondern auf die aktive Epitaxieschichtenfolge des LED-Chips.

[0047] Außer für den Einsatz bei einem strahlungsemitierenden Halbleiterchip ist das erfindungsgemäße Verfahren selbstverständlich auch für das Löten anderer Halbleiterstrukturen wie insbesondere von Infrarot-Sensoren und -Strahler, aber auch von Transistoren anwendbar.

Patentansprüche

1. Verfahren zum Aufbringen eines Halbleiterchips (9) auf einem in oder an einem Kunststoffgehäusekörper (5) angeordneten thermisch und/oder elektrisch leitenden Anschlußteil (12, 2) **dadurch gekennzeichnet**, daß die Verbindung durch einen Weichlötprozeß hergestellt wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Kunststoffgehäusekörper (5) mittels Umformen, insbesondere Umspritzen oder Umpressen, eines Leadframes (2) hergestellt ist und das Anschlußteil (12) Bestandteil des Leadframes (2) ist.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das Anschlußteil (12) eine auf einen Kunststoffgehäusekörper (5) aufgebrachte Metallisierungsschicht ist.
4. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Anschlußteil (12) ein in den Kunststoffgehäusekörper (5) eingebetteter Kühlkörper ist.
5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß zwischen Halbleiterchip (9) und Anschlußteil (12, 2) eine Lotschicht (3) mit einer Dicke zwischen einschließlich 1 µm und einschließlich 10 µm verwendet wird.
6. Verfahren nach mindestens einem der Ansprüche 1-4, dadurch gekennzeichnet, daß zwischen Halbleiterchip (9) und Anschlußteil (12, 2) eine Lotschicht (3) mit einer Dicke zwischen einschließlich 2 µm und einschließlich 5 µm verwendet wird.
7. Verfahren nach mindestens einem der Ansprüche 1-6, dadurch gekennzeichnet, daß der Weichlötprozeß bei einer Temperatur zwischen einschließlich 200°C

und einschließlich 260°C erfolgt.

8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß als Lotmaterial im wesentlichen reines Zinn oder eine Legierung verwendet wird, deren Hauptbestandteil Zinn ist.

9. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß als Lotmaterial im wesentlichen eine Legierung verwendet wird, deren Stoffsystem ein Eutektikum aufweist.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß als Lotmaterial mindestens eine Legierung aus der Gruppe von Legierungen bestehend aus AgSn, CuSn, PbSn und InPb oder ein Gemisch oder eine Schichtenfolge aus mindestens zwei dieser Legierungen verwendet wird.

11. Verfahren nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß Lotmaterial vor dem Löten auf den Chip (9) aufgebracht wird.

12. Verfahren nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, daß Lotmaterial vor dem Löten auf das Anschlußteil (12, 2) aufgebracht wird.

13. Verfahren nach Anspruch 9 oder nach einem der Ansprüche 10 bis 12 unter Rückbezug auf Anspruch 9, dadurch gekennzeichnet, daß Schichten aus verschiedenen Legierungsbestandteilen des Lotes auf den Halbleiterchip (9) und/oder auf das Anschlußteil (12, 2) aufgebracht werden.

14. Verfahren nach einem der Ansprüche 1 bis 13, dadurch gekennzeichnet, daß auf das Lotmaterial vor dem Löten ein Goldfilm abgeschieden wird.

15. Verfahren nach einem der Ansprüche 1 bis 14, dadurch gekennzeichnet, daß der Halbleiter-Chip (9) vor dem Löten mit Flußmittel auf dem Anschlußteil (12, 2) fixiert wird.

16. Verfahren nach einem der Ansprüche 1 bis 15, dadurch gekennzeichnet, daß der Halbleiter-Chip (9) vor dem Löten mit Lotpaste auf dem Anschlußteil (12, 2) fixiert wird.

17. Verfahren nach einem der Ansprüche 1 bis 16, dadurch gekennzeichnet, daß für den Lötvorgang ein Durchlauföfen verwendet wird.

18. Verfahren nach einem der Ansprüche 1 bis 16, dadurch gekennzeichnet, daß für den Lötvorgang eine Heizplatte verwendet wird.

19. Verfahren nach einem der Ansprüche 1 bis 18, dadurch gekennzeichnet, daß der Kunststoffgehäusekörper (5) nach dem Lötvorgang eine Wascheinheit durchläuft.

20. Optoelektronisches Halbleiterbauelement (7) mit einem Strahlung emittierenden und/oder Strahlung empfangenden Halbleiter-Chip (9) auf einem in oder an einem Kunststoffgehäusekörper (5) angeordneten thermisch und/oder elektrisch leitenden Anschlußteil (12), dadurch gekennzeichnet, daß eine Verbindungsschicht zwischen Halbleiter-Chip (9) und Anschlußteil (12, 2) ein Weichlot aufweist.

21. Optoelektronisches Halbleiterbauelement (7) nach Anspruch 20, dadurch gekennzeichnet, daß das Anschlußteil (12) Bestandteil eines Leadframes (2) ist, der mit dem Kunststoffgehäusekörper (5) umformt, insbesondere umspritzt oder umpreßt, ist.

22. Optoelektronisches Halbleiterbauelement (7) nach Anspruch 20, dadurch gekennzeichnet, daß das Anschlußteil (12) eine auf dem Kunststoffgehäusekörper (5) aufgebrachte Metallisierungsschicht (22) ist.

23. Optoelektronisches Halbleiterbauelement (7) nach Anspruch 20, dadurch gekennzeichnet, daß das Anschlußteil (12) ein in den Kunststoffgehäusekörper (5)

eingebetteter Kühlkörper ist.

24. Optoelektronisches Halbleiterbauelement (7) nach einem der Ansprüche 20 bis 23, dadurch gekennzeichnet, daß zwischen Halbleiterchip (9) und Anschlußteil (12, 2) eine Lotschicht (3) mit einer Dicke zwischen einschließlich 0,1 µm und einschließlich 10 µm vorgesehen ist. 5

25. Optoelektronisches Halbleiterbauelement (7) nach einem der Ansprüche 20 bis 23, dadurch gekennzeichnet, daß zwischen Halbleiterchip (9) und Anschlußteil (12, 2) eine Lotschicht (3) mit einer Dicke zwischen einschließlich 0,1 µm und einschließlich 5 µm vorgesehen ist. 10

26. Optoelektronisches Halbleiterbauelement (7) nach einem der Ansprüche 19 bis 24, dadurch gekennzeichnet, daß als Lotmaterial (3) im wesentlichen reines Zinn oder eine Legierung verwendet ist, deren Hauptbestandteil Zinn ist. 15

27. Optoelektronisches Halbleiterbauelement (7) nach einem der Ansprüche 20 bis 25, dadurch gekennzeichnet, daß als Lotmaterial im wesentlichen eine Legierung verwendet ist, deren Stoffsystem ein Eutektikum aufweist. 20

28. Optoelektronisches Halbleiterbauelement (7) nach Anspruch 27, dadurch gekennzeichnet, daß als Lotmaterial (3) im wesentlichen eine Legierung aus der Gruppe bestehend aus AgSn, CuSn, PbSn und InPb oder ein Gemisch oder eine Schichtenfolge aus mindestens zwei dieser Legierungen verwendet ist. 25

29. Optoelektronisches Halbleiterbauelement (7) nach einem der Ansprüche 20 bis 28, dadurch gekennzeichnet, daß der Halbleiterchip in Flip-Chip-Montage auf dem Anschlußteil befestigt ist, sodaß eine aktive Epitaxieschichtenfolge (4) dem Anschlußteil (12) zugewandt ist. 30 35

30. Optoelektronisches Halbleiterbauelement (7) nach Anspruch 29, dadurch gekennzeichnet, daß zwischen der Epitaxieschichtenfolge (4) und dem Anschlußteil lediglich noch die Lotschicht und eine Kontaktschicht, insbesondere eine Kontaktmetallisierung der Epitaxieschichtenfolge vorhanden ist. 40

31. Verfahren zum Herstellen eines optoelektronischen Bauelements nach Anspruch 29 oder 30, gekennzeichnet durch die Verfahrensschritte:

- a) Herstellen der Epitaxieschichtenfolge (4) auf einem Substratwafer, 45
- b) Herstellen der Kontaktschicht,
- c) Vereinzeln des in den Schritten a) und b) hergestellten Wafers zu einzelnen Halbleiterchips und 50
- d) Befestigen des Chips auf dem Anschlußteil im Kunststoffgehäuse mittels Weichlöten.

Hierzu 3 Seite(n) Zeichnungen

55

60

65

Fig. 1

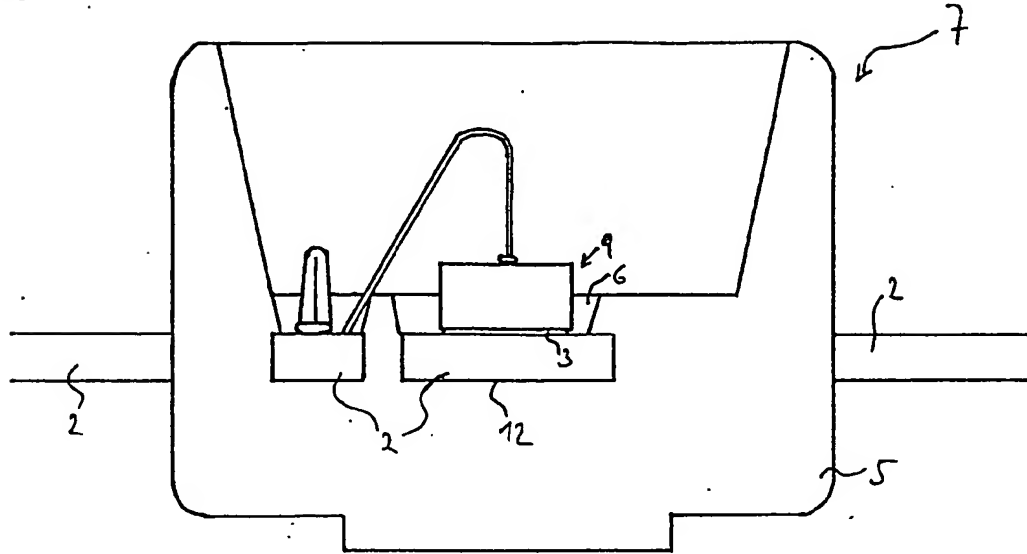


Fig. 2

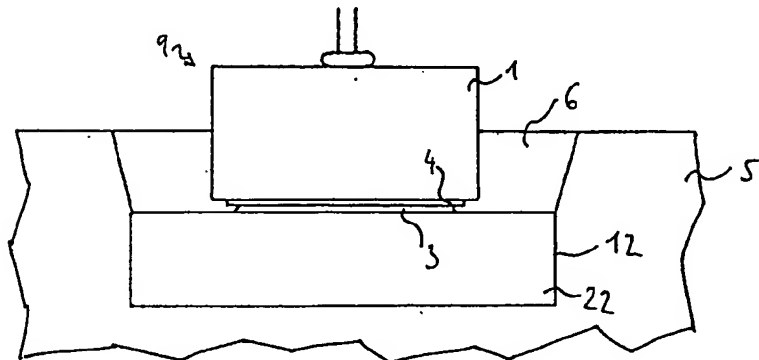


Fig. 3
STAND DER
TECHNIK

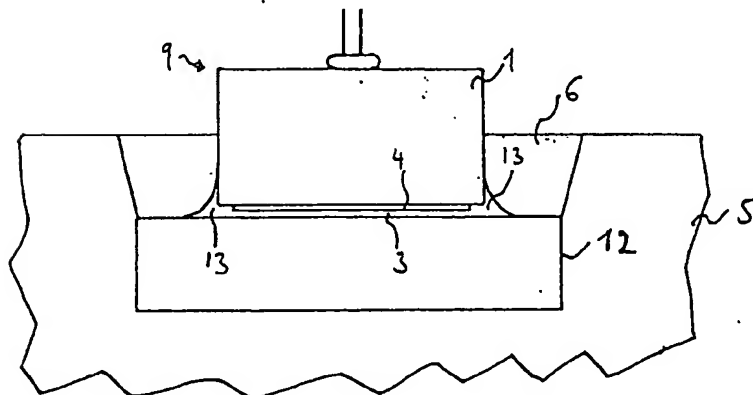


Fig. 4

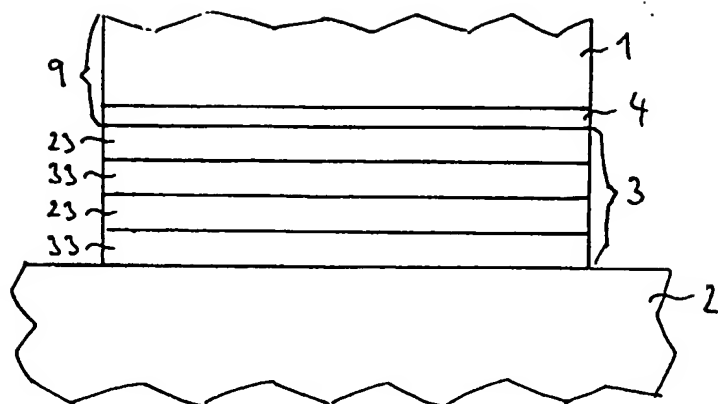


Fig. 5

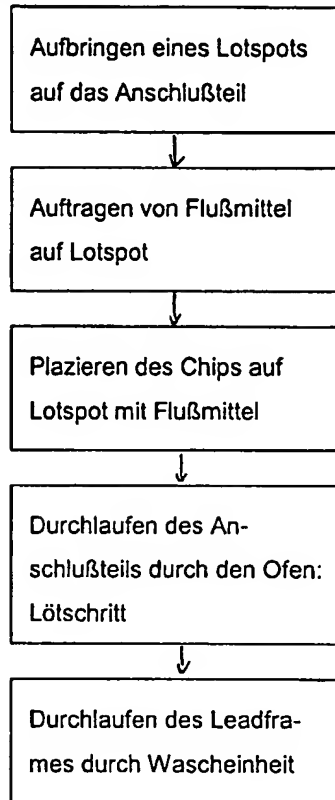


Fig. 6

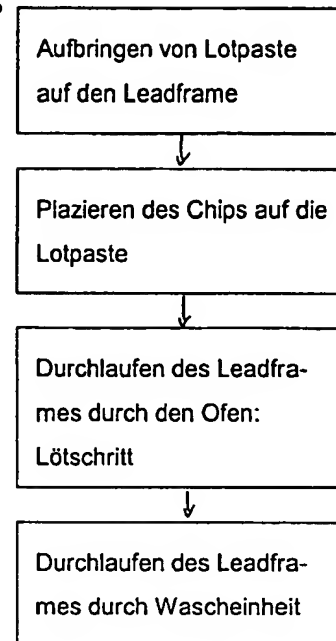


Fig. 7

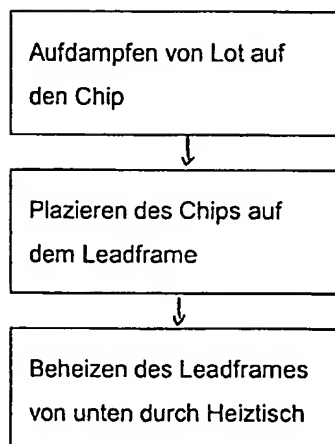


Fig. 8

